



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10172238 A**(43) Date of publication of application: **26.06.98**

(51) Int. Cl.
G11B 20/10
G11B 20/14
G11B 20/18

(21) Application number: **08331707**(71) Applicant: **NEC CORP**(22) Date of filing: **12.12.96**(72) Inventor: **HONMA HIROMI**

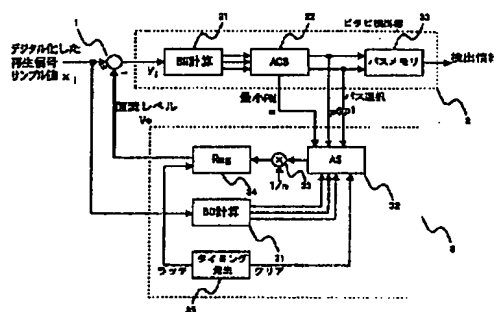
(54) **INFORMATION DETECTING APPARATUS AND
 INFORMATION DETECTING METHOD**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To compensate for DC level fluctuation to be superimposed on a reproduced signal in a PRML(partial resonance maximum likelihood) detecting apparatus for detecting the information recorded in high density on a recording medium.

SOLUTION: A DC fluctuation level detecting circuit 3 accumulates, as many as the number of samples (n), the difference between a sample value and reference value of Viterbi detector using a path selecting information detected by the Viterbi detector 2 and the minimum path metric information with a branch difference generating circuit 31 and AS circuit 32. Moreover, a DC level V_0 can be detected by reducing the signal to $1/n$ with a multiplier 33 and storing the signal in the register 34. A timing generation circuit 35 controls the path of register and clearing of path difference value in the period of n-sample. The detected DC level V_0 is fed back to the input to realize adaptive compensation for the DC level fluctuation.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-172238

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.⁵

G 1 1 B 20/10
20/14
20/18

識別記号

3 2 1
3 4 1
5 3 4

F I

G 1 1 B 20/10
20/14
20/18

3 2 1 A
3 4 1 B
5 3 4 A

審査請求 有 請求項の数 7 O L (全 16 頁)

(21) 出願番号

特願平8-331707

(22) 出願日

平成8年(1996)12月12日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 本間 博巳

東京都港区芝五丁目7番1号 日本電気株
式会社内

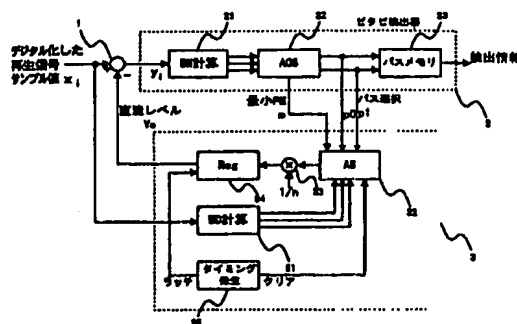
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 情報検出装置および情報検出方法

(57) 【要約】

【課題】 記録媒体上に高密度記録された情報を検出するPRML検出装置において、再生信号に重畳される直流レベル変動を補償する。

【解決手段】 直流変動レベル検出回路3は、ビタビ検出器2で検出したパス選択情報と最小バスマトリック情報を用いて、サンプル値とビタビ検出器基準レベルとの差分をサンプル数n分積算し、ブランチ差分生成回路31、AS回路32により生成する。さらに、乗算器33により1/n倍し、レジスタ34に格納することで直流レベル V_0 が検出できる。タイミング発生回路35は、レジスタのラッチとパス差分値のクリアをnサンプルの周期で制御する。検出した直流レベル V_0 は、入力にフィードバックすることで適応的に直流レベル変動を補償する。



【特許請求の範囲】

【請求項1】 デジタル化された入力サンプル値からオフセットを減算する減算器と、前記減算器出力を入力とするビタビ検出器と、前記サンプル値と前記ビタビ検出器内で検出したパス選択情報および最小バスメトリック情報から直流レベルを検出する回路により構成され、前記直流レベル検出回路出力をオフセット量として前記減算器にフィードバックすることを特徴とする情報検出装置。

【請求項2】 直流レベル検出回路として、入力サンプル値と基準レベルとの差を検出するブランチ差分計算回路と、ビタビ検出器からのパス選択情報と最小バスメトリック情報を用いて、選択パスに対するブランチ差分を n サンプル期間分加算してパス差分を計算するAS回路と、前記AS回路出力を $1/n$ (n は整数)にする乗算器と、前記乗算結果を保持するレジスタと、前述のレジスタのラッチ信号および前記AS回路内レジスタのクリア信号を n サンプル周期で生成するタイミング生成手段とから構成することを特徴とする請求項1記載の情報検出装置。

【請求項3】 直流レベル検出回路として、入力サンプル値と基準レベルとの差を検出するブランチ差分計算回路と、ビタビ検出器からのパス選択情報と最小バスメトリック情報を用いて、選択パスに対するブランチ差分を n サンプル期間分加算してパス差分を計算するAS回路と、前記AS回路出力を $1/n$ (n は整数)にする乗算器と、前記乗算結果を保持しかつ外部から初期値を設定可能なレジスタと、入力振幅値信号から特定パタンを検出する手段と、前記特定パタン検出信号より前述のレジスタのプリセット信号とラッチ信号および前記AS回路内レジスタのクリア信号を生成するタイミング生成手段とから構成され、タイミング発生手段は前記プリセット信号に同期した前記ラッチ信号と前記クリア信号を n サンプル周期で発生させることを特徴とする請求項1記載の情報検出装置。

【請求項4】 入力される信号が、PR (1, 1) チャネルであることを特徴とする請求項1、2、3のいずれかに記載の情報検出装置。

【請求項5】 デジタル化された入力サンプル値から直流レベルオフセットを減算するステップと、前記直流レベルオフセットを減算したサンプル値からビタビ検出するステップと、前記入力サンプル値と基準レベルとのブランチ差分を求めるステップと、前記ビタビ検出したパス選択情報と最小バスメトリック情報を用いて、選択パスに対する前記ブランチ差分を n サンプル期間分加算してパス差分を計算するステップと、該パス差分を $1/n$

(n は整数) 倍して直流レベルオフセットを求めるステップとからなり、該直流レベルオフセットを前記入力サンプル値から減算するステップに戻すことを特徴とする情報検出方法。

【請求項6】 光ディスクの再生系に、請求項1、2、3のいずれかに記載の情報検出装置を付加した光ディスク装置。

【請求項7】 磁気ディスクの再生系に、請求項1、2、3のいずれかに記載の情報検出装置を付加した磁気ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、記録媒体上に高密度記録された情報を誤りなく検出する情報検出装置に関するものである。

【0002】

【従来の技術】 DVDに代表される光ディスク装置や磁気ディスク装置など高密度かつ大容量のディスク装置の研究開発が盛んである。これらのディスク装置の高密度化技術にとって、再生情報の高い信頼性を支える信号処理技術は、欠かせないキーテクノロジーである。特にPRML (Partial Response Maximum Likelihood) 技術を用いたファイル装置の製品化が相次いでいる。パーシャルレスポンス波形等化と最尤検出を組み合わせるこの方式は、再生チャネルを考慮した最尤検出器の特性を最大限に引き出すために、再生信号を波形等化によって補正後、最尤検出することはよく知られるところである。例えば「1994年、テレビジョン学会年次大会 (ITE' 94) 予稿集、287～288頁」にPRMLに関する記述がある。

【0003】 光ディスク、磁気ディスクどちらに関しても、高密度記録された情報を再生する場合には、符号間干渉が大きくなり、再生振幅が低下してしまう。したがって、磁気ディスクではSNRが小さく、光ディスクでは再生信号の高い周波数成分のCNRが小さくなり、検出情報の誤り率が上昇してしまう。最尤検出方式は、決まった状態遷移を有する再生チャネルの特性を利用して情報の検出を行っており、検出器に入力される例えば4ビット程度の量子化ビット数の振幅情報列に対して、再生チャネルの特性から考えられるすべての時系列パタンの中から誤差の自乗平均が最小になるものを選択することでSNRあるいはCNRが小さくても低い誤り率で情報を検出することができるのである。実際の回路で上述の処理を行うことは、回路規模および動作速度の点で困難であるため、通常は、「アイイーイーイー トランザクションズ オン コミュニケーションズ (IEEE Transactions on Communications), vol. COM-19, Oct. 1971」に示されるビタビアルゴリズムと呼ばれるアルゴリズムを用いてパスの選択を漸化的に行うことにより実現している。

【0004】 図18、図19、図20を用いて、光ディスク媒体に記録された情報を、最も簡単な、PR (1,

1) チャンネルを用いてPRML検出する場合の動作を簡単に説明する。ヘッドから読み出された信号は、あらかじめ例えばトランスバーサルフィルタに代表される等化器によって、PR (1, 1) チャンネルになるように補正する。図18に示すごとくこのチャンネルは、3つの基準レベル E_i ($=-1, 0, 1$) に分布する。この場合、チャンネルクロックごとデジタル化した振幅情報 x_i は図19に示すような2状態の遷移をする。さて、 x_i に対して、数式1に示す基準レベルとの自乗誤差加算値 z_n が最小となる E_i の列を見つけることがすなわち最尤検出にほかならない。

【0005】

【数1】

$$z_n = \sum_i (x_i - E_i)^2$$

【0006】しかし、 z_n を最小にする E_i を総当たり的に計算することは、実時間上では困難であるため、通常ビタビアルゴリズムと呼ばれる手順によって E_i を決*

$$\begin{aligned} M_n(S_0) &= \min [M_{n-1}(S_0) + (x_n + 1)^2, M_{n-1}(S_1) + x_n^2] \\ M_n(S_1) &= \min [M_{n-1}(S_1) + (x_n - 1)^2, M_{n-1}(S_0) + x_n^2] \end{aligned}$$

数式2は、上述のアルゴリズムを図19の状態遷移に適用した場合の漸化式である。 $M_n(S_j)$ は、時刻 n において、状態 S_j である場合の時刻 n までの自乗誤差加算値 z_n を表し、 $\min[a, b]$ は a, b のうちの最小値を表す関数とする。状態 S_0, S_1 それぞれに入力する1時点前の2本のパスに対してそれぞれパスメトリック値を計算して、小さい方を選択後、パスメトリック値を更新する。図20は、数式2によって各時点ごとにパスの選択を行っていた例である。太線は、時刻9において考えられるパスを示している。時刻0から6までは、太線のパスと細線のパスの2本のパスが存在し、パスが確定していないが、時刻7、9でパスがマージしている。マージ後は、マージ点以前のパスが確定し、そのパスに対応する出力値 q_i を順次出力することで最尤検出が行える。

【0007】さて、実際の回路によって構成するためには、図1に示すごとくブランチメトリック生成回路21によって、 $(y_n + 1)^2, y_n^2, (y_n - 1)^2$ を生成する。続いてACS回路22により、現在までのパスメトリック値 $M_n(S_0), M_n(S_1)$ と、このブランチメトリック値を加算し、それぞれ比較演算を行うことによって、ある状態に入力されるパスのうち一方を選択して、そのパスを通るパスメトリック値を新たなパスメトリック値として更新する。この操作を繰り返すことによって、パスが1本にマージして最尤なパスが検出できる。また、パスの選択情報を表す比較器出力を、パスメモリ23に格納しておき、マージ時点以前の決定したパスに相当するビット情報を出力することで、情報の検

*定してゆく。図19の状態遷移図を時間軸上に展開した、図20に示すグラフをトレリス線図と呼ぶが、ビタビアルゴリズムでは、ある時点 n で1つの状態に入力する2本のパスのうち、時点 $n-1$ までの積算値 z_{n-1} の値と、時刻 n で入力された x_n の値から、それぞれのパスを通った場合の z_n の値を計算し、より小さいパスを選択する操作を行う。ただしパスとは、ある状態と次の時刻の状態を接続している有向グラフのことを示している。各時点ごとにこのパス選択の操作を行うことで、その時点から過去に遡っていくと、ある時点でパスが1本に収斂する。これをパスがマージしたという。パスが1本であるということは、データが確定したこととなり、それぞれのパスに相当する出力値がそのまま検出結果となる。通常、この z_n のことをパスメトリック、1時点のパスメトリックのことをブランチメトリックと呼んでいる。

【数2】

出がなされるのである。

【0008】ところで、第一世代の書き換え可能な光ディスク装置では、ディスク媒体上にデータをビットからビットまでの長さに変換して記録するマークポジション記録方式を採用し、ピーク検出方式によって情報を検出している。ピーク検出では、再生信号を微分してゼロクロスすることによって記録ビットの中央位置を検出するため、レベル変動はほとんど問題にならなかった。しかし、高密度記録すると、マークポジションでは再生振幅が低下してしまい、高い信頼性で情報を検出することができなくなってしまう。そこで既にCDに採用されているマークエッジ記録とよばれる、記録ビットの長さにも情報を持たせる方式が採用されはじめている。しかし、この記録方式で記録した情報を再生する場合、ピーク検出方式が使えないため、ある閾値で0と1を判別するレベル検出が一般的に採用されている。この場合、レベル変動による影響を直接受けてしまい、このレベル変動は高密度化を阻害する大きな要因の一つであると言える。

【0009】特に光ディスクの場合には、次にあげる要因によって、再生信号に含まれる直流レベルが変動してしまう場合が存在する。

(1) 光磁気ディスクにおいて、ポリカーボネイト基板を使用した場合、複屈折の影響により10kHz程度までのノイズが再生信号に混入してしまう可能性がある。

(2) セクタ分割されたコードファイルでは、セクタの先頭にプリフォーマット領域を持たせてランダムアクセスを可能としているが、このプリフォーマット情報が大きな直流成分を持っており、プリフォーマット以降のデ

10

30

40

50

ータに影響を及ぼしてしまう。

(3) 現在まで変調符号として採用されているRLL (Run length limited) コードは、DCフリーな符号ではないため記録パターンによってレベル変動が生じる。

【0010】レベル検出方式と同様に、ビタビ検出する場合にも直流レベル変動は大きな性能劣化を引き起こす。通常ビタビ検出器は、回路規模縮小のため固定の再生チャンネルに対応した回路構成にしてあるが、直流レベル変動によりビタビ検出器に入力される情報系列にオフ

セットが加算されるため、ビタビ検出器で期待しているチャンネル特性からずれてしまう。これは、すなわち再生信号にノイズが重畳したことで等価となるため、検出信頼性が大幅に劣化してしまうことになる。

【0011】従来、直流レベル変動によるビタビ検出性能の劣化を回避する技術は、いくつか提案されている。例えば、特開平6-325504号公報に示されている方式では、直流レベル変動によるビタビ復号器の性能劣化を防ぐことを目的としている。図21は、特開平6-325504号公報記載の従来技術である。クラスIの

パーシャルレスポンスを適用したビタビ検出を行うことを前提とした光ディスク装置において、再生信号の信号レベルがセンタレベルを横切って変化する遷移パタンを検出し、そのパタンにおけるサンプルデータを用いてセンタレベルを補正することにより、再生信号の直流レベルが変動した場合でも、正しく再生信号を復号することができると記述してある。

【0012】また、特開平7-45009号公報に示されている方式では、通常のレベル変動適応制御の収束性の悪さを改善することを目的としている。図22は、特開平7-45009号公報記載の従来技術である。伝送データをブロック単位に分割し、ブロックの先頭にテストパターンを付加するパターン発生手段90とパターンデータと伝送データを切り替えて伝送する切り替え手段80とにより、信号をブロック化しその先頭に既知のテストパターンを付加して伝送(記録)する。再生時に、テストデータと本データとを切り替える切り替え手段70によって取り出したテストデータ部分の伝送信号から予測制御手段60により伝送信号の直流成分を算出する。この直流成分をビタビ復号器50の基準予測振幅値に

加算して初期予測振幅値として、以下適応的に制御する予測制御手段60により小さなレベル変動を補償する技術が記載されている。

【0013】また、特開平7-262694号公報に示されている方式でも、直流レベル変動によるビタビ復号器の性能劣化を防ぐことを目的としている。図23は、特開平7-262694号公報記載の従来技術である。再生信号A/D変換後のデータ振幅値qを用いて、データ判別手段16とサンプル抽出手段13からサンプル値系列中の所定サンプル値を抽出し、平均値化することで

オフセットレベルを検出し、ビタビ復号器20における予測サンプル値の各々に一律に加算することで、適応的に直流レベル変動を補償する技術が記載されている。

【0014】

【発明が解決しようとする課題】従来技術、特開平6-325504号公報における第1の問題点は、クラスIのパーシャルレスポンスチャンネルのみについて言及しているため、他のチャンネルに応用できないことである。例えば、「1995年電子情報通信学会総合大会、C-469」に示されているように高密度記録時には、分解能の低下によって、PR(1, 1)チャンネルよりも、PR(1, 2, 2, 1)チャンネルの方が精度の高い情報検出ができるとのシミュレーション結果が提示されている。第2の問題点は、センタレベルを横切る遷移パタンのみから振幅情報を検出するため、検出した直流レベルのSNRが低いことである。すべての入力情報中に直流レベル値は加算されているはずであるから、すべての情報を用いて直流レベル値を検出する場合に比べて精度は低くなることにある。従来技術、特開平7-45009号公報における問題点は、ブロックの先頭に特殊パタンを記録する必要があるため、フォーマット効率が低下してしまう点があげられる。従来技術、特開平7-45009号公報における問題点は、特定サンプル値だけを抽出して平均化するため、特開平6-325504号公報と同様に、検出した直流レベルのSNRが低いことがあげられる。

【0015】従って、本発明の目的は、どのようなチャンネルに対応したビタビ検出装置に対応しても、チャンネルに即した回路を変更するだけで、特別なテストパタンをデータ中に埋め込むことなく、高精度に直流レベル変動を補償することができる情報検出装置を提供することにある。

【0016】本発明の他の目的は、プリフォーマット領域からユーザー領域に移行した直後に現れる直流レベル変動に対しても誤りなく情報を検出することにある。

【0017】

【課題を解決するための手段】本発明の情報検出装置は、デジタル化された入力サンプル値からオフセットを減算する減算器(図1の1)と、前記減算器出力を入力とするビタビ検出器(図1の2)と、前記サンプル値と前記ビタビ検出器内で検出したパス選択情報および最小パスメトリック情報から直流レベルを検出する回路(図1の3)により構成され、前記直流レベル検出回路出力をオフセット量として前記減算器にフィードバックすることを特徴とする。特に直流レベル検出回路として、入力信号と基準レベルとの差を検出するブランチ差分計算回路(図5の31)と、ビタビ検出器からのパス選択情報と最小パスメトリック情報を用いて、選択パスに対するブランチ差分をnサンプル期間分加算してパス差分を計算するAS回路(図5の32)と、パス差分値を1/

nにする乗算器(図5の33)と、乗算結果を保持するレジスタ(図5の34)と、前述のレジスタのラッチ信号および前記ACS回路内レジスタのクリア信号をnサンプル周期で生成するタイミング生成回路(図5の35)を有する。

【0018】以下に、上記構成における作用を詳細に説明する。

【0019】チャンネルクロックごとにデジタル化した再生信号振幅情報 X_i (サンプル値)と基準レベル E_i との単なる差分の積算を w_n とすると、 w_n は数式3により表される。この式から分かるように、 w_n はビタビ検出におけるブランチメトリックに類似しており、後述するように、ビタビ検出におけるACS回路と同様の回路で生成することができる。

【0020】

【数3】

$$w_n = \sum_{i=1}^n (x_i - E_i)$$

【0021】ビタビ検出器内で計算するバスメトリックに対応させて、 w_n をバス差分とよぶことにする。この w_n は、バスが決定できれば計算可能である。ところで x_i には、直流変動レベル V_0 のほかにランダムノイズ δ_i が加わっているため数式4で記述することができる。

【数4】 $x_i = E_i + V_0 + \delta_i$

従って、 w_n は、ランダムノイズの平均が0であることと、nサンプル期間では v_0 が一定であることを考慮すると、数式3と数式4より数式5となる。

【数5】 $w_n = n \cdot V_0$

よって、ノイズの影響が十分少なくなるようにnの値を定めて、積算したバス差分値をnで割ると直流変動レベル V_0 が算出できることになる。しかし、 E_i を検出するために、ビタビ検出器の検出情報を用いると、長いバスメモリの影響で数十〜数百チャンネルクロックの遅れが出てしまう。そのために追従性能が悪くなってしまう恐れがある。そこで、ビタビ検出器内で用いているバス選択情報と最小バス情報を有効に利用して、バスメトリック計算と同様に逐次的に計算することでこの問題を解決した。すなわち、チャンネルの状態数の個数だけ別々にバス差分値を計算し、ビタビ検出器から得たバス選択情報を用いてブランチ差分値をバス差分値に選択加算していくことで、比較的早く確からしい直流変動レベル V_0 を求めることが可能である。ビタビ検出器のACS回路構成と同じ形のAS回路によってバス差分値を計算することによって漸次的にしかも簡単な回路構成で計算が可能である。ただし、バス差分レジスタの値をnチャンネルクロックごと保持する機構とリセットする機構が必要である。

【0022】また、ランダムアクセスを頻繁に行うような記録領域をセクタ管理しているシステムでは、プリフ

ォーマット領域からユーザーデータ領域へ切り替わった直後に直流レベル変動が生じる。上述の方式で直流レベル補償を行う場合、直流レベルを検出するまでに若干の遅延が生じるため、ユーザーデータ領域への切り替わり直後の直流レベルが確定できず読み誤る可能性があるが、オフセットレベルが急激に変化する点を検出し、変化タイミング情報を生成する回路と、ユーザーデータ領域の切替え直後に、あらかじめ既知であるオフセット値をプリセット可能なレジスタを用いることによって簡単に回避できる。

【0023】

【発明の実施の形態】本発明の第1の実施の形態について図面を参照して詳細に説明する。図1を参照すると、ディスク装置から読み出された再生信号は、図1には図示していない帯域制限フィルタおよび等化器によって特定のチャンネル特性となるように補正された後、これも図示していないPLL回路により生成した同期クロックのタイミングで図示していないA/D変換器によりサンプル値 x_i として読み込まれる。ただし、デジタル等化器を用いる場合には、A/D変換後に等化器を接続する構成となる。 x_i は、減算器1により、後述する直流レベル検出器3により検出した直流レベルを用いて補正される。直流レベルを補正した振幅情報 y_i は、ビタビ検出器2に入力され、ブランチメトリック生成回路21によりブランチメトリックを計算し、ACS回路22によって各時点ごとにバスメトリック値の更新を行う。さらにバスの選択情報をバスメモリ23に格納し、バスがマージした後、検出情報として出力する。

【0024】次に、ビタビ検出器の詳細な構成について説明する。ここでは、例えば、図20に示す状態遷移をするような光ディスクのPR(1,1)チャンネルでのビタビ検出を考える。図2は、本発明の第1の実施の形態におけるブランチメトリック生成回路21の構成例を示すブロック図である。PR(1,1)チャンネルは、3値の基準レベルに分布するため、入力値 y_i より、加算器211と乗算器212を用いて、 $(y_i \pm 1)^2$ 、 y_i^2 の3つのブランチメトリック値を計算する。図3は、本発明の第1の実施の形態におけるACS回路22の構成例を示すブロック図である。数式2で示したように3つのブランチメトリックと、1時点前のバスメトリック値を加算器221で加算し、それぞれのバスを通った場合のバスメトリック値を比較器222で比較し、小さい方をセレクタ223により選択し、現時点のバスメトリック値としてレジスタ224に格納する。比較器の出力はバスの選択情報 p_0 、 p_1 として出力される。また、2つのレジスタ224に格納されてあるバスメトリック値を比較器225により比較し、その比較情報を最小バスメトリック情報 m として出力する。図4は、本発明の第1の実施の形態におけるバスメモリ回路23の構成例を示すブロック図である。ACS回路からのバス選択情報

p_0 、 p_1 は、セクタ232に接続され、前段に接続されたレジスタ231の値を選択して後段に伝える。バスメモリの初段には、状態遷移図の各バスの出力値に対応した0および1の符号を与える。バスメモリの長さが十分長ければ、各状態における検出状態はある時点でマージし、最終段では同じ情報が出力される。

【0025】次に、本発明の第2の実施の形態について図面を参照して詳細に説明する。図5は、本発明の第2の実施の形態における直流レベル検出回路の構成例を示すブロック図である。ブランチ差分計算回路31は、デジタル化した再生信号サンプル値 x_i から、入力値と理想検出レベルの差分値を検出し、次段のAS回路32に接続される。AS回路32は、ビタビ検出器からのバス選択情報 p_0 、 p_1 と最小バスメトリック情報 m を用いて、バスの選択情報に対応したブランチ差分値を選択加算し、 n サンプル期間分バス差分値を逐次計算する。この値を乗算器33によって n 分の1にした後、レジスタ34に格納保存する。タイミング発生回路35は、クリア信号によりバス差分値をゼロクリアした後、 n チャンネルクロック間だけバス差分値の加算を行い、その直後にラッチ信号を発生させて、レジスタ34に格納保存する。この値を直流レベル V_0 として出力する。したがって、直流レベルは、 n チャンネルクロック毎に更新される。

【0026】図6は、本発明の第2の実施の形態におけるブランチ差分回路31の構成例を示すブロック図である。入力 x_i から加算器311を用いて $x_i \pm 1$ を計算して、入力 x_i と合わせて3値を出力する。図7は、本発明の第2の実施の形態におけるAS回路32の構成例を示すブロック図である。ブランチ差分値と1時点前のバス差分値を加算器321によって加算し、ビタビ検出器から得たバス選択情報 p_0 、 p_1 を用いて最尤なバス差分値をセクタ323により選択し、レジスタ324に更新結果を格納する。また、2つのレジスタ324の出力を最小バスメトリック情報からセクタ325を用いて選択出力する。

【0027】次に、本発明の第2の実施の形態における動作について図15を用いて詳細に説明する。 $+0.2$ の直流オフセットレベルを持った再生信号を入力した場合のサンプル値 x_i 、2つのバスメトリック値 PM_0 、 PM_1 および、バス選択情報 p_0 、 p_1 および、バス差分 PD_0 、 PD_1 およびオフセット値 V_0 を時系列で図示してある。図中実線が再生信号、点線が理想的な再生信号を示す。この例では、16サンプルごとにオフセット量を取り出しており、16チャンネルクロック後に、バス差分値が3.2となり、これを16で割って0.2が検出できたことになる。この時点でレジスタに値を格納して、バス差分値を格納しているレジスタをゼロクリアして同様の操作を繰り返す。図16では、さらに時間のレンジを拡大した場合の波形概形を示してある。再生信

号にチャンネルクロックよりも十分低いサイン波状のノイズが重畳している場合の再生信号、検出した直流変動レベル V_0 、ビタビ検出器への入力 y_i 、およびタイミング発生回路のラッチ信号、クリア信号を示している。直流レベル補償によってマクロ的に変動が吸収できることがわかる。

【0028】本発明の第2の実施の形態は、ビタビ検出器で構成できるチャンネルであれば、どのようなものでも構成できる。例えば、光ディスクにおいて(1, 7) RLL符号をNRZI記録し、PR(1, 1)等化すると、図8に示すような3値4状態遷移をするが、この場合に関して、回路構成例を示す。図9は、3値4状態チャンネルにおけるACS回路の構成例である。3つのブランチメトリックと、1時点前のバスメトリック値を加算器221で加算し、それぞれのバスを通った場合のバスメトリック値を比較器222で比較し、小さい方をセクタ223により選択し、現時点のバスメトリック値としてレジスタ224に格納する。比較器の出力はバスの選択情報 p_0 、 p_1 として出力される。また、4つのレジスタ224に格納されてあるバスメトリック値を比較器225により比較し、最小バスメトリック情報として出力する。図10は、3値4状態チャンネルにおけるバスメモリ回路の構成例である。ACS回路からのバス選択状態 p_0 、 p_1 は、セクタ232に接続され、前段に接続されたレジスタ231の値を選択して後段に伝える。バスメモリの初段には、状態遷移図の各バスの出力値に対応した0および1の符号を与える。バスメモリの長さが十分長ければ、各状態における検出情報はある時点でマージし、最終段では同じ情報が出力される。図11は、3値4状態チャンネルにおけるAS回路の構成例である。ブランチ差分値1と1時点前のバス差分値を加算器321によって加算し、ビタビ検出器から得たバス選択情報 p_0 、 p_1 を用いて最尤なバス差分値をセクタ323により選択し、レジスタ324に更新結果を格納する。また、4つのレジスタ324の出力を最小バスメトリック情報からセクタ325を用いて選択出力する。

【0029】次に、本発明の第3の実施の形態について図12を参照して詳細に説明する。あらかじめ、顕著な直流レベル変動の位置とそのレベルがわかっている場合、オフセット値をプリセットした方が収束が早い。そのための必要な構成としては、再生信号サンプル値 x_i の情報から特定ボタンを検出するボタン検出器38と、値をプリセットすることのできるレジスタ37、さらにラッチ信号とクリア信号とプリセット信号の3つを生成するタイミング発生回路36を設ける。動作は、セクタ先頭の特定ボタンをボタン検出器38で検出し、そのタイミング信号からプリセットのタイミング信号を生成し、レジスタ37に初期値を与える。その後は、前述の方式で逐次直流変動レベルを検出しながらビタビ検出を

実行する。図17は、本発明の第3の実施の形態における動作を示す波形概形図である。 x_i の急激なレベル変動の直前で直流変動値をプリセットすることで、あらかじめわかっている急激な変化に対処することができる。

【0030】次に、本発明の第4の実施の形態について図13を参照して詳細に説明する。光ディスク媒体4の上に記録された情報を、レーザー光を集光して媒体上に照射し、その反射光量あるいは偏向を検出する光ヘッド5により再生する。ただし、図示していない、サーボ回路によりフォーカス方向とトラック方向に正確に追従させる。光ヘッド5により読み出された再生信号は、アンプ6によって増幅され、等化器7により、後段のビタビ検出器で規定したチャンネルに合うように補正する。さらに、アンチエイリアシングフィルタ8を通過後、A/D変換しデジタル信号 x_i が生成される。ただし、デジタル系のクロックはPLL回路10によってあらかじめ再生信号から生成しておく。 x_i は、ビタビ検出器に入力される前に、直流レベル検出回路からの出力であるオフセット量を減算して直流変動を補償後、ビタビ検出器2

に入力され最尤検出がなされる。ビタビ検出器2から得たパスの選択情報と最小パス情報を用いて直流レベル検出回路は、適応的に直流レベルを計算しフィードバックをかけることで直流変動を補償する。

【0031】次に、本発明の第5の実施の形態について図14を参照して詳細に説明する。磁気ディスク媒体12上に記録された情報を、媒体面に非常に近接した磁気ヘッド11によって電流値として検出する。ただし、図示していない、サーボ回路によってトラック方向に正確に追従させる。磁気ヘッド11により読み出された再生信号は、アンプ6によって増幅され、等化器7により、後段のビタビ検出器で規定したチャンネルに合うように補正する。さらに、アンチエイリアシングフィルタ8を通過後、A/D変換しデジタル信号 x_i が生成される。ただし、デジタル系のクロックはPLL回路10によってあらかじめ再生信号から生成しておく。 x_i は、ビタビ検出器に入力される前に、直流レベル検出回路からの出力であるオフセット量を減算して直流変動を補償後、ビタビ検出器2に入力され最尤検出がなされる。ビタビ検出器2から得たパスの選択情報と最小パス情報を用いて直流レベル検出回路は、適応的に直流レベルを計算しフィードバックをかけることで直流変動を補償する。

【0032】

【発明の効果】第1の効果は、どのような再生チャンネルにも適用可能であることである。この理由は、ビタビ検出器内のACS回路とほぼ同じ構造のAS回路を作ることができるため、ビタビ検出が可能であるチャンネルでは、本発明による直流レベルの補償もまた可能となるからである。

【0033】第2の効果は、直流レベル値の検出精度が高く、ビタビ検出器の性能を最大限に発揮させることが

できる点である。この理由は、入力値全てを用いて直流レベル値を生成しているため、従来技術のような特定の遷移状態のみの情報を利用するよりも高いSNRを確保することが可能であるからである。

【0034】第3の効果は、高い効率で記録再生が可能である点である。この理由は、どのような入力信号からでも直流レベル値を生成することができることから、従来技術のようにテストパターンを随所に埋め込む必要がないからである。

【0035】第4の効果は、プリフォーマット領域からユーザー領域に移行した直後に現れる直流変動レベルに対しても正しく情報を検出することが可能である点である。入力データから直流変動レベルを検出するため、時間的にある程度のラグが生じてしまうが、検出レベルと外部から与えることのできる変動レベルとに切り替えることができるため、可能となる。

【図面の簡単な説明】

【図1】本発明、第1の実施の形態を示す構成図である。

【図2】本発明、第1の実施の形態におけるブランチメトリック生成回路の構成図である。

【図3】本発明、第1の実施の形態におけるACS回路の構成図である。

【図4】本発明、第1の実施の形態におけるバスメモリ回路の構成図である。

【図5】本発明、第2の実施の形態を示す構成図である。

【図6】本発明、第2の実施の形態におけるブランチ差分計算回路の構成図である。

【図7】本発明、第2の実施の形態におけるAS回路の構成図である。

【図8】 $d=1$ 制限符号をPR(1, 1)等化した場合の3値4状態遷移図である。

【図9】本発明、第2の実施の形態におけるACS回路の構成図である。

【図10】本発明、第2の実施の形態におけるバスメモリ回路の構成図である。

【図11】本発明、第2の実施の形態におけるAS回路の構成図である。

【図12】本発明、第3の実施の形態を示す構成図である。

【図13】本発明、第4の実施の形態を示す構成図である。

【図14】本発明、第5の実施の形態を示す構成図である。

【図15】本発明、第2の実施の形態における時系列の動作を示す図である。

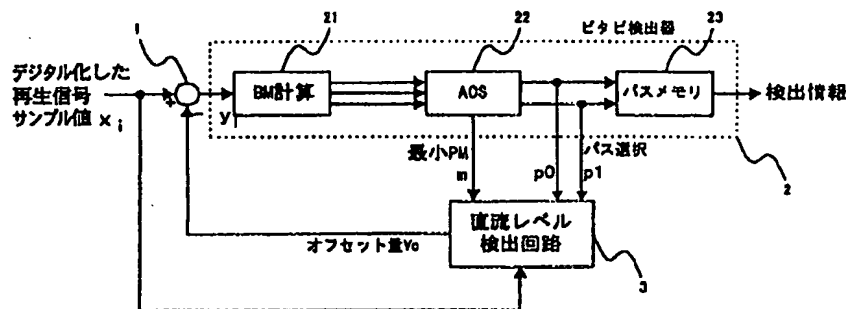
【図16】本発明、第2の実施の形態における時系列の動作を示す図である。

【図17】本発明、第3の実施の形態における時系列の

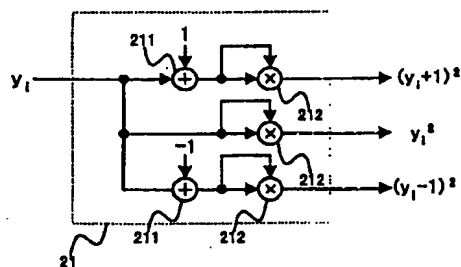
【符号の説明】

- 8 ローパスフィルタ
9 A/D変換器
10 PLL回路
11 磁気ヘッド
12 磁気ディスク媒体
21 ブランチメトリック計算回路
22 ACS回路
23 バスメモリ回路
31 ブランチ差分計算回路
32 AS回路
33、212 乗算器
34、224、231、324 レジスタ
35、36 タイミング発生回路
37 プリセット付きレジスタ
38 パタン検出器
211、221、311、321 加算器
222、225 比較器
223、232、323、325 セレクタ

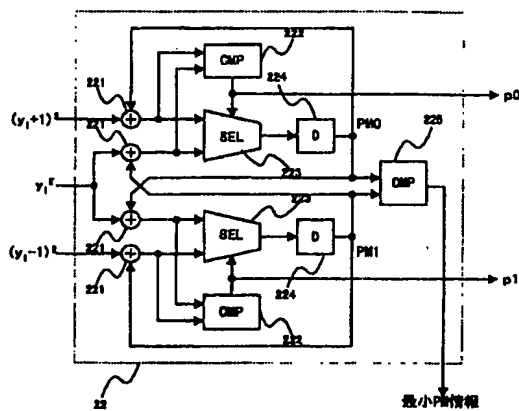
【图1】



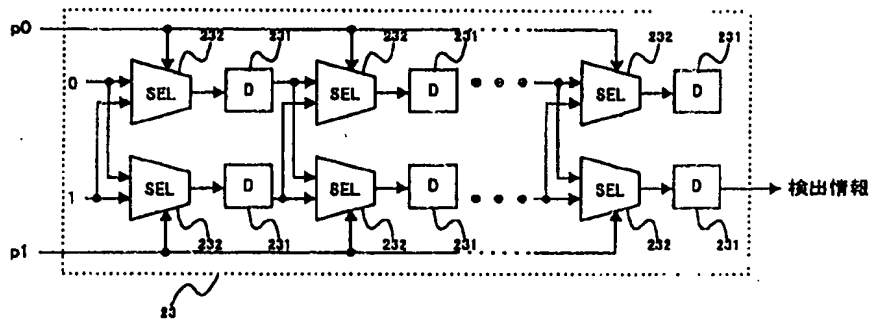
【图2】



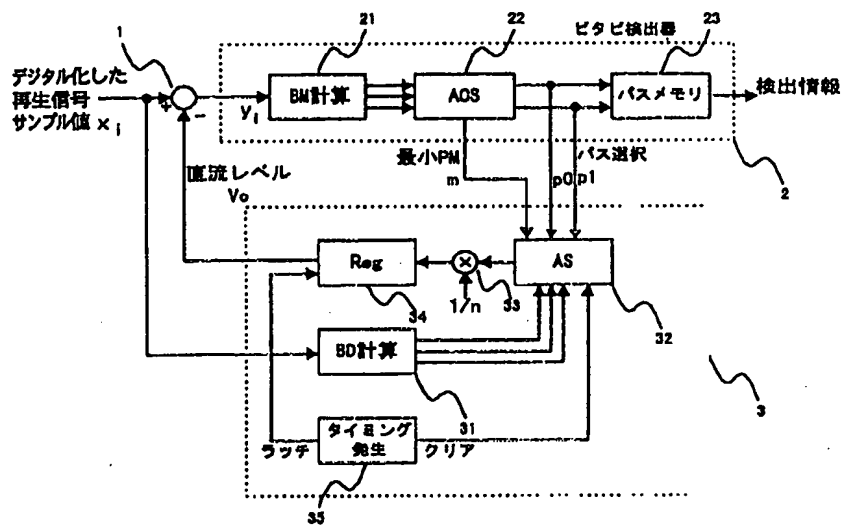
【図3】



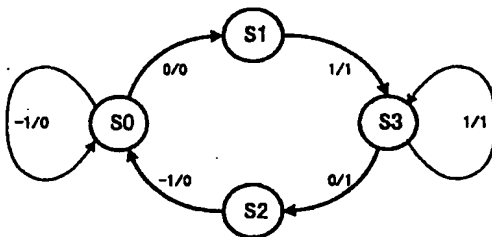
【図4】



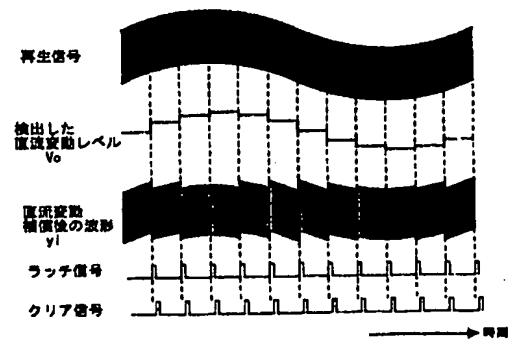
【図5】



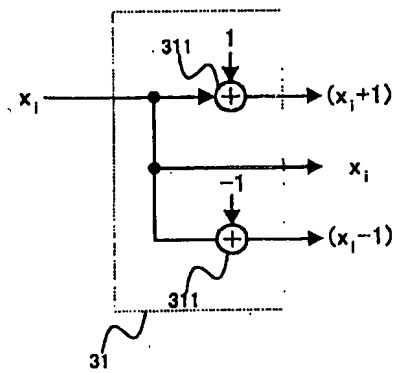
【図8】



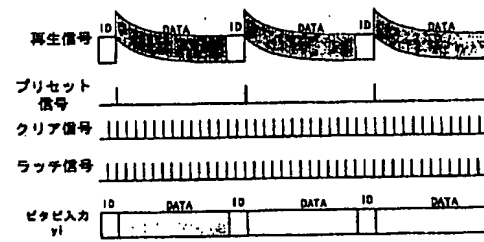
【図16】



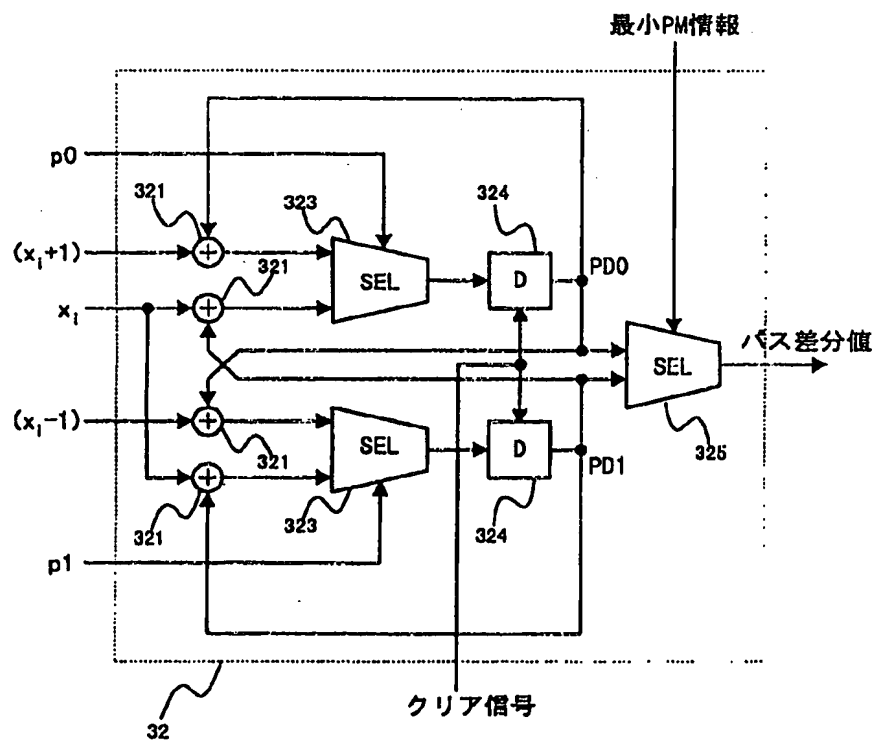
【図6】



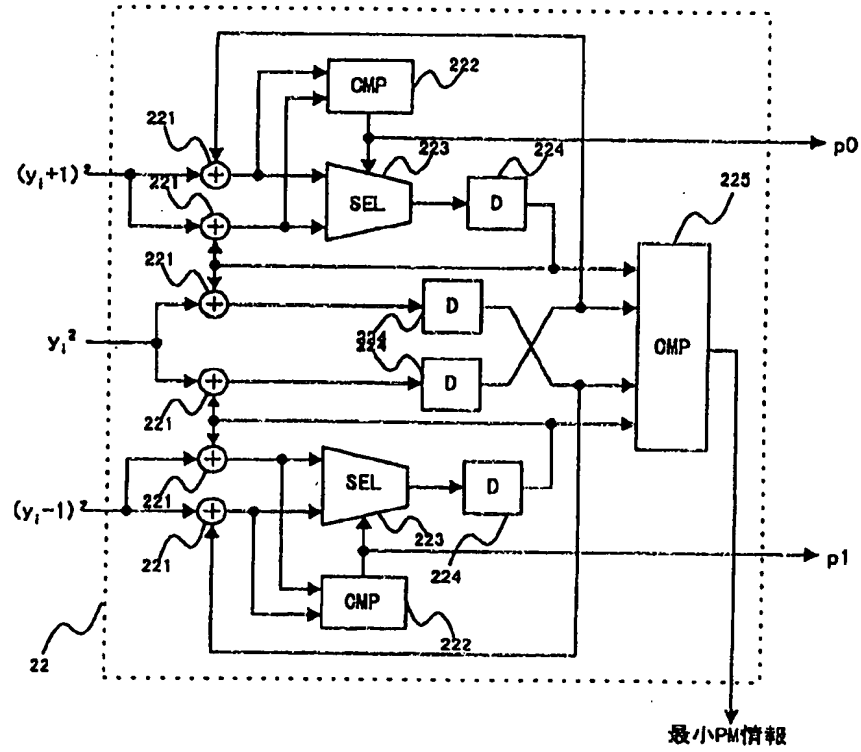
【図17】



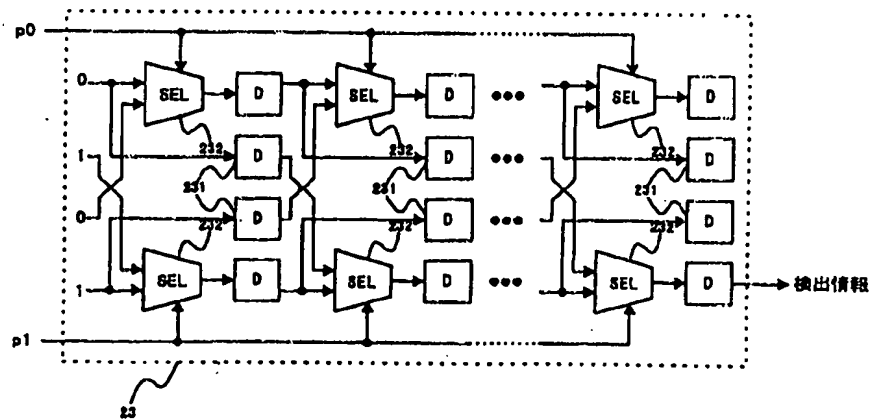
【図7】



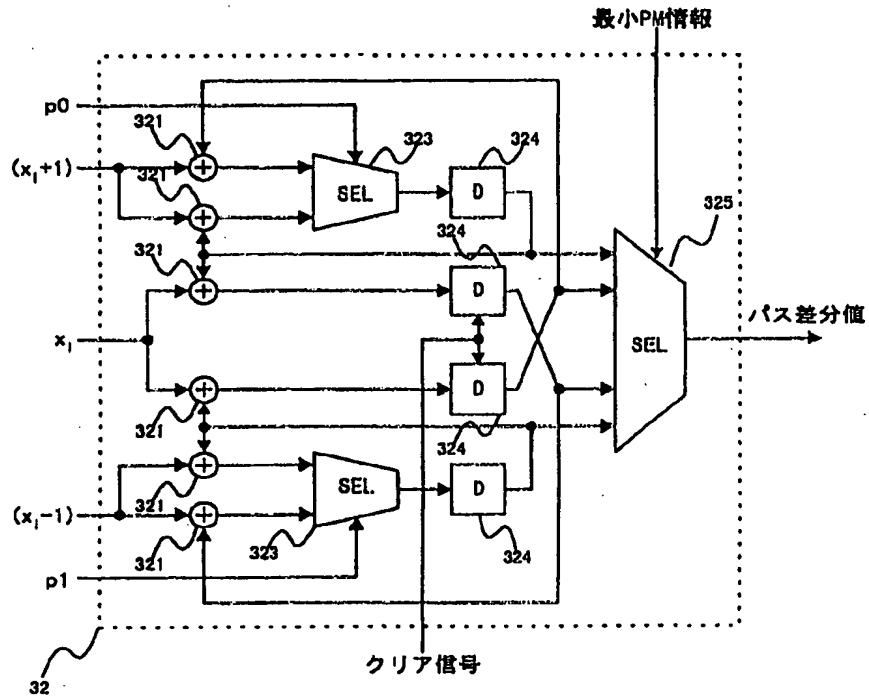
【図9】



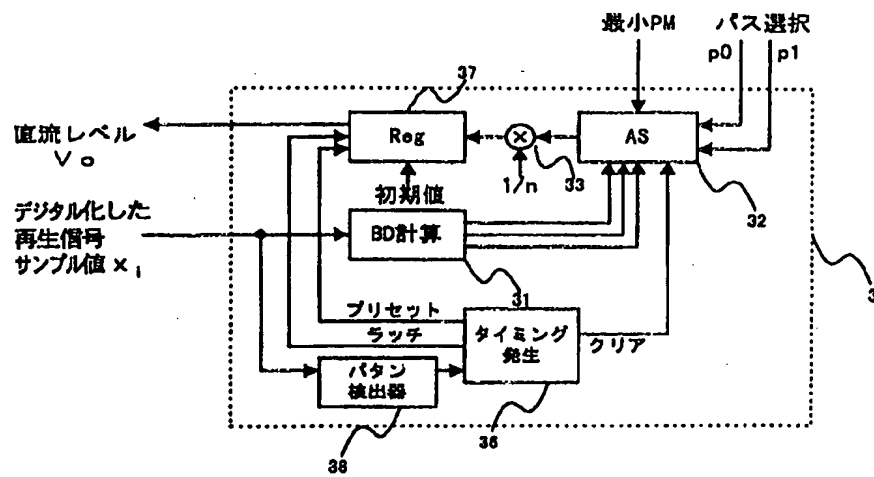
【図10】



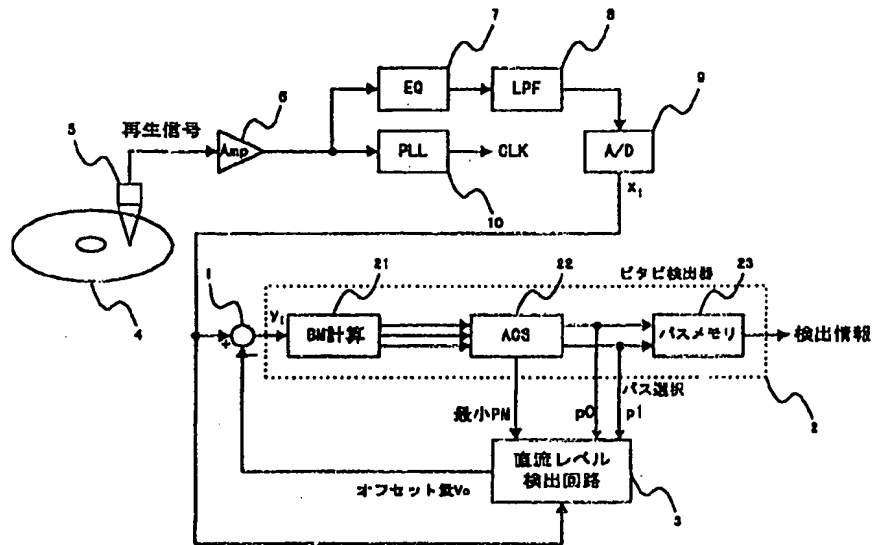
【図11】



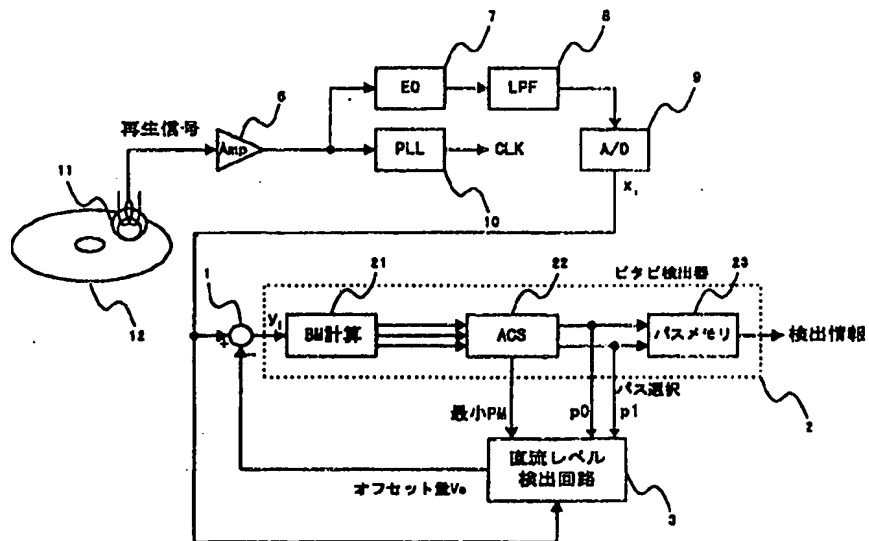
【図12】



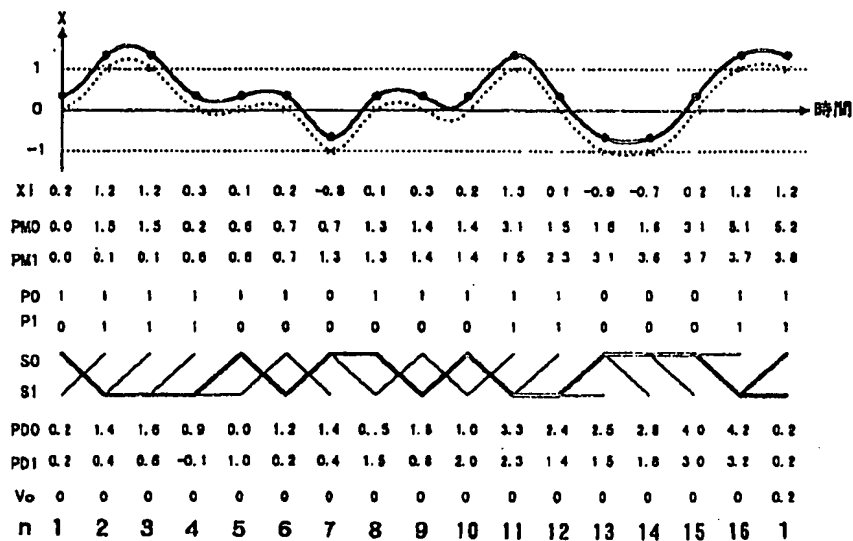
【図13】



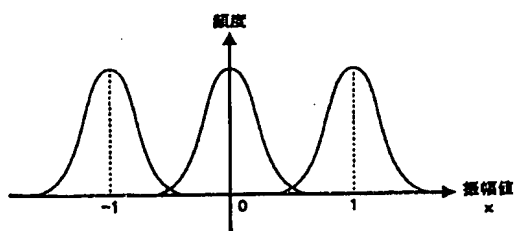
【図14】



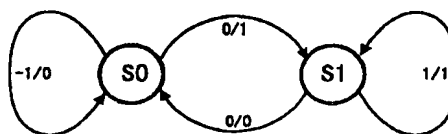
【図15】



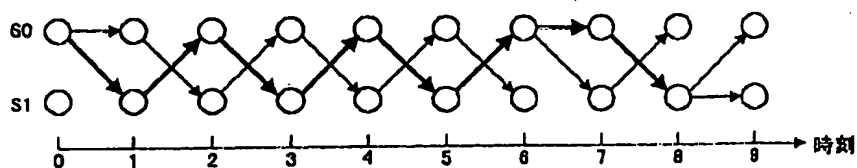
【図18】



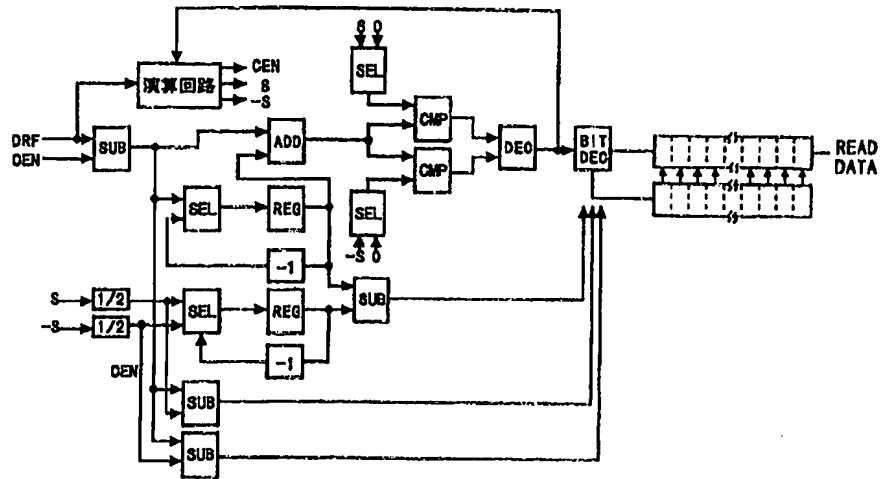
【図19】



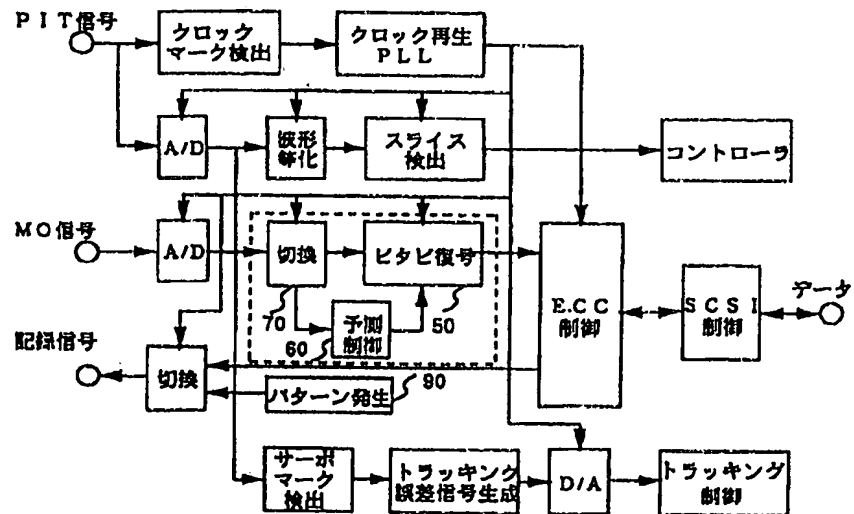
【図20】



【図21】



【図22】



【図23】

